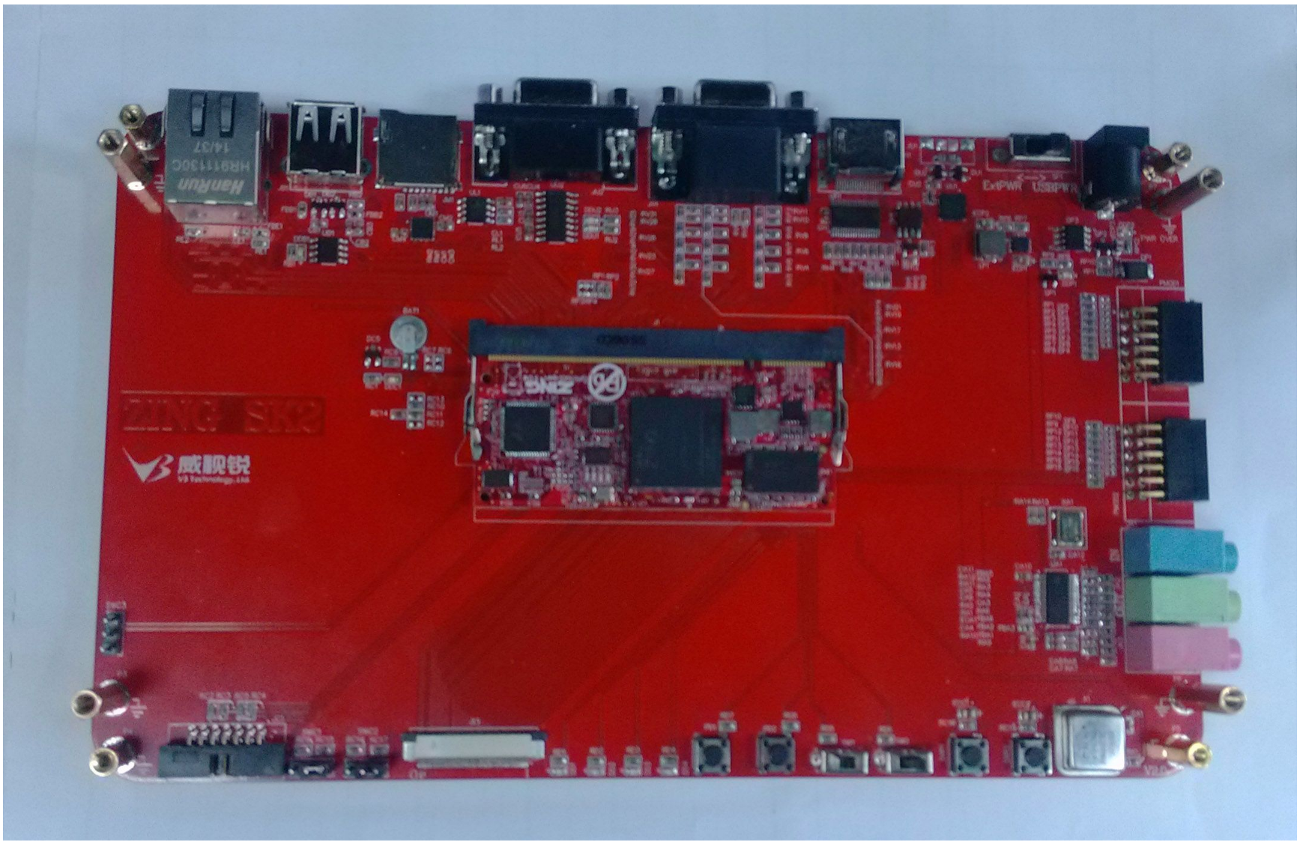
ZingSK2 硬件用户手册

Ver:1.0



威视锐科技
V3 Technology,Ltd

修订记录

版本	修订日期	修订内容
1.0	2014 年 11 月 26 日	用户手册初始版本

关于威视锐 http://v3t.cn

北京威视锐科技有限公司一直致力于创新性软件无线电系统设计与研发，同时也提供通用的数字信号处理平台和 SoC 开发工具，以加快客户的创新步伐。

威视锐科技通过给客户提供射频、中频以及基带相关的模块、板卡、IPcore、算法以及系统等一体化解决方案，大大简化了无线通信系统的设计难度。通过与微软研究院的长期合作，推出了基于多核 PC 的下一代软件无线电系统 SORA，引起了国际无线通信领域专家学者的广泛关注，被北美和欧洲等世界著名高校选为无线通信研究平台。

更多产品信息和技术资料请登录威视锐官方网站查询。

关于 Zing http://ZingSoC.com

威视锐科技旗下品牌 Zing 是国内最早从事 Xilinx ZYNQ SoC 技术开发和推广，针对基础学习、教育培训、产品开发和科学研究不同领域，推出了高性价比的 ZYNQ SoC 开发板产品，已经服务于国内众多高校和近百家企业，成为了国内众多嵌入式培训机构 SoC FPGA 课程的指定实验平台。

更多产品信息和技术资料请登录 Zing 官方网站查询。

目录

产品概述

ZingSK2 开发套件是一款由北京威视锐公司推出的基于赛灵思可扩展处理平台架构的高性能扩展模块。该扩展模块由 ZingSom2 核心模块和 Zing sk2 底板组成，它们之间使用标准 DDR3 SO-DIMM 连接器连接。该扩展模块使用了赛灵思最新推出的 Zynq-7000 系列核心芯片，它采用 28nm 制程工艺，具有高性能、低功耗等特点，其最主要的特色是将双核 ARM® Cortex™-A9（处理器系统 PS）和赛灵思的可编程逻辑（可编程逻辑 PL）集成到一个单独芯片上。从而将 ARM®处理系统和与 Xilinx 7 系列可编程逻辑完美地结合在一起，使用户可以创建独特而强大的设计。

应用领域

- 工业控制、工业网络、机器视觉；
- 智能相机；
- 多功能打印机；
- 医疗诊断和成像；
- 汽车驾驶辅助设备和信息娱乐；
- 视频和夜视设备；
- LTE 射频和基带。

典型客户

高校客户：清华大学　北京大学　北京理工大学　北京邮电大学　北京交通大学　上海交通大学　天津大学
南开大学　哈尔滨工业大学　吉林大学　东北大学　大连理工大学 北京航空航天大学

研究所：航天一院　航天五院　航天三院　核工业研究所　中科院自动化所　中科院声学所　中科院计算所
广电总局规划院　兵器工业研究所　高能物理研究所

公司客户：通用电气　华为技术有限公司　京东方电子集团　大恒激光　一汽大众　中国移动研究院　神州龙芯
大唐微电子　立林科技集团　法国电信中国研发中心

相关文档

- ✓ 《ZingSK2 开发板硬件手册》
- ✓ 《ZingSK2 开发板管脚列表.xls》
- ✓ 《ZingSK2 开发板原理图. pdf》

1. 购买信息

ZingSK2 产品清单		
项目	内容	数量
1	ZingSom2 核心模块	1 块
2	ZingStarter2 底板	1 块
3	Red-Cable-USB 下载电缆	1 套
4	USB_Uart 转串口电缆	1 条
5	千兆以太网线	1 条
6	HDMI 高清视频线	1 条
7	USB2.0 电缆	1 条
8	电源适配器（6V 3A）	1 个
9	TF 卡（4G）	1 个
10	配套 DVD 光盘	1 张

2. 硬件资源

ZingSK2 开发套件由 ZingSom2 核心模块和 ZingSK2 底板组成。其资源分布图如图 3.1 所示。

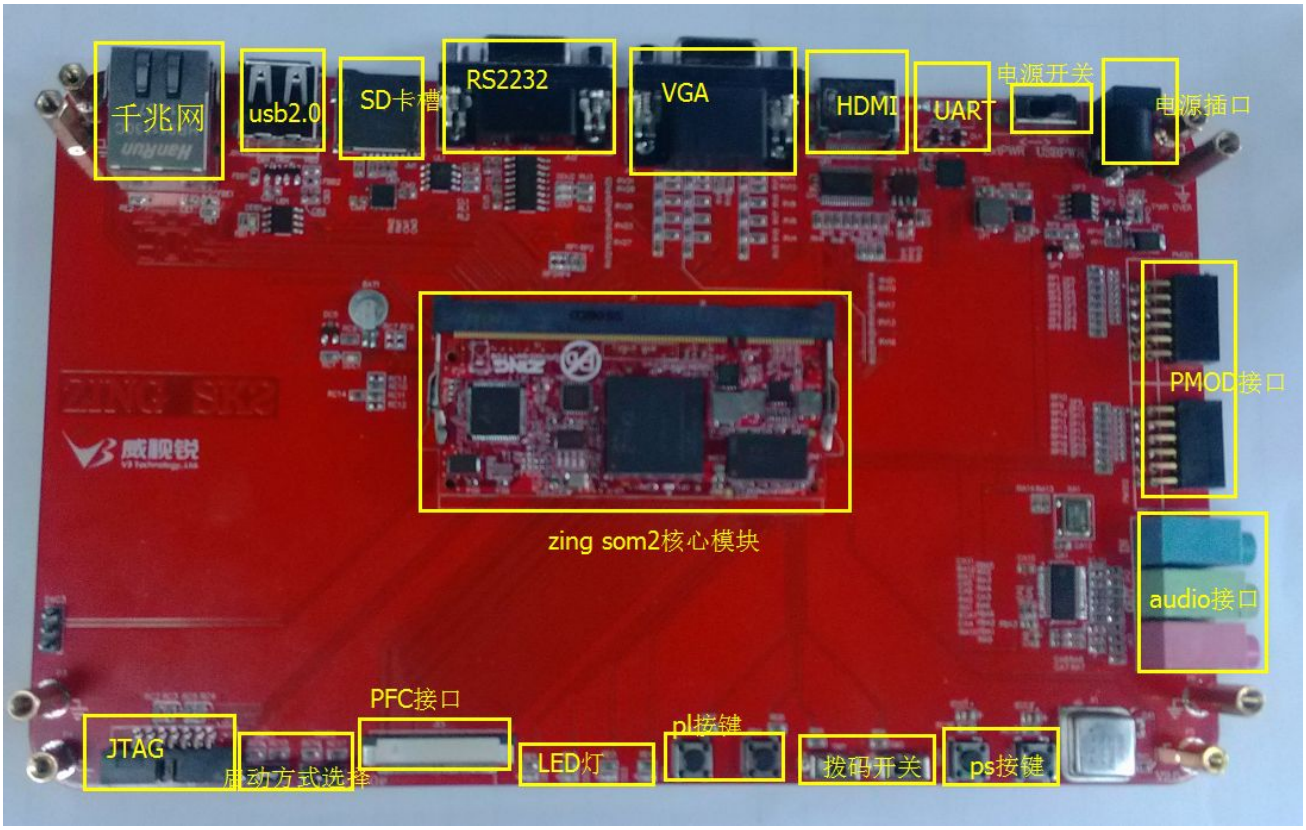


图 3.1 ZingSK2 硬件资源分布图

硬件资源总结如下：

ZingSOM2 部分：

- ✧ Zynq-7000 XC7Z020-1CLG400C EPP；
- ✧ 512MB 的 DDR3 内存颗粒；
- ✧ PS 系统时钟源：33.333MHz LVCMOS 晶振；
- ✧ USB2.0 ULPI PHY 芯片；
- ✧ 千兆以太网 PHY 芯片；
- ✧ NAND_FLASH；

ZingSK2 部分：

- ✧ PL 系统时钟源：50MHz LVCMOS 晶振；
- ✧ SDIO 接口；
- ✧ USB_UART 接口；
- ✧ Rs232 接口；
- ✧ 千兆以太网接口；
- ✧ HDMI 接口；
- ✧ 用户 IO：拨码开关、按键、LED 灯；
- ✧ XADC 接口；

- ✧ JTAG 接口；
- ✧ 扩展接口：PMOD 接口。

后面我们将展开详述相关的硬件资源。

3.1 Zing SOM2 部分

3.1.1Zing SOM2 模块系统框图

Zing SOM2 嵌入式核心模块的核心就是 Zynq-7000 EPP 芯片。它的绝大部分 IO 引脚连接到了 SO-DIMM 连接器上,这可以使客户很方便的使用这些资源。该核心模块上的主要配置设备包括 PS 系统时钟源、4 位 led 灯、千兆以太网 PHY 芯片、USB2.0 PHY 芯片、4Gb 的 NAND Flash、128Mb512MB 的 DDR3 SDRAM。其系统方框图如图 3.1.1 所示，

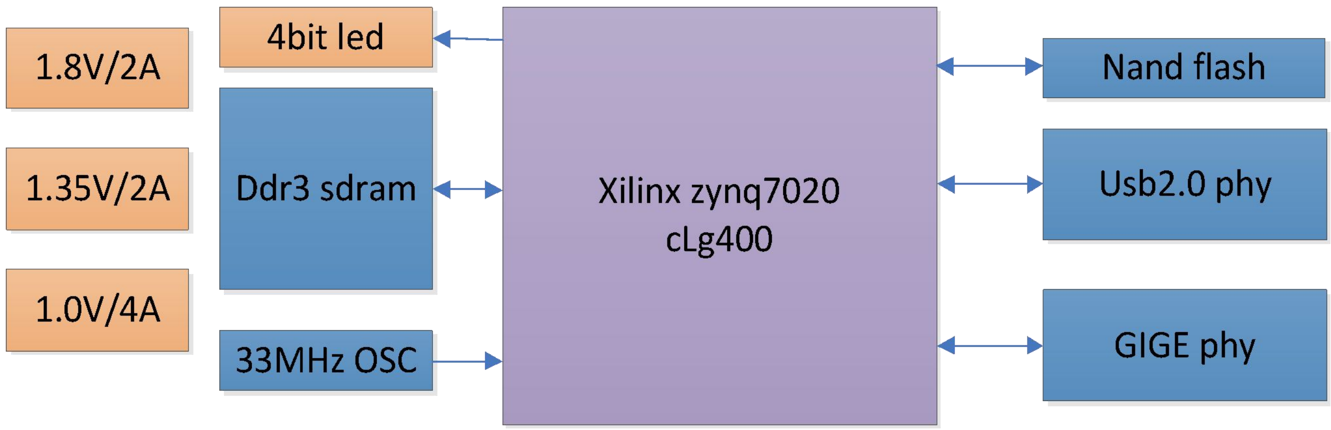


图 3.1.1 Zing Som2 模块系统框图

Zynq-7000EPP 芯片可以通过拷贝在 NAND Flash、TF 卡的启动镜像进行配置，同时也可以通过连接在 Zing SK2 的 JTAG 接口进行配置。

表 3.1.1 显示了 Zing Som2 核心模块的主要配置设备信息。

表 3.1.1 Zing SK2 核心模块主要配置

名称	核心芯片	DDR3 SDRAM	NAND Flash	工作温度
Zing SK2	XC7Z20-CLG400	512MB	4Gb	-40----85°C

3.1.2 Zing SOM2 实物图

Zing SOM2 的实物图如下图 3.1.2 所示，

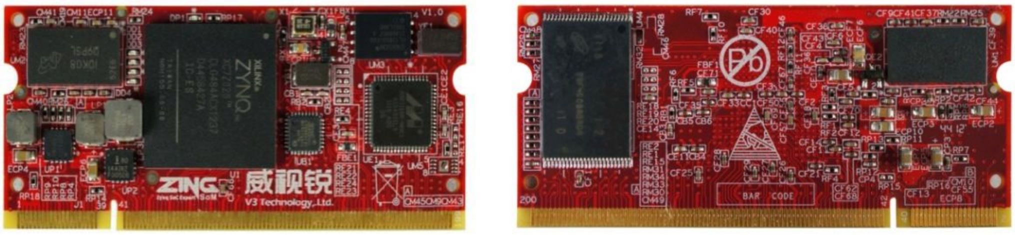


图 3.1.2 Zing SOM2 核心模块正反面实物图

3.1.3 核心芯片

Zing SOM2 使用了 XC7Z020-CLG400Zynq-7000 EPP 核心芯片。XC7Z020 EPP 将 SoC 集成处理系统（PS）和可编程逻辑器件（PL）包含在单个芯片上。XC7Z020 EPP 芯片的总体框图如图 3.1.3 所示，其中，PS 集成了两个 ARM®的 Cortex™-A9 MPCore 的™应用处理器，AMBA®互连，内部存储器，外部存储器接口和外设。这些外设主要包括 USB 总线接口，以太网接口，SD/ SDIO 接口，I2C 总线接口，CAN 总线接口，UART 接口，GPIO 等。PS 可以独立运行并在上电或复位下启动。

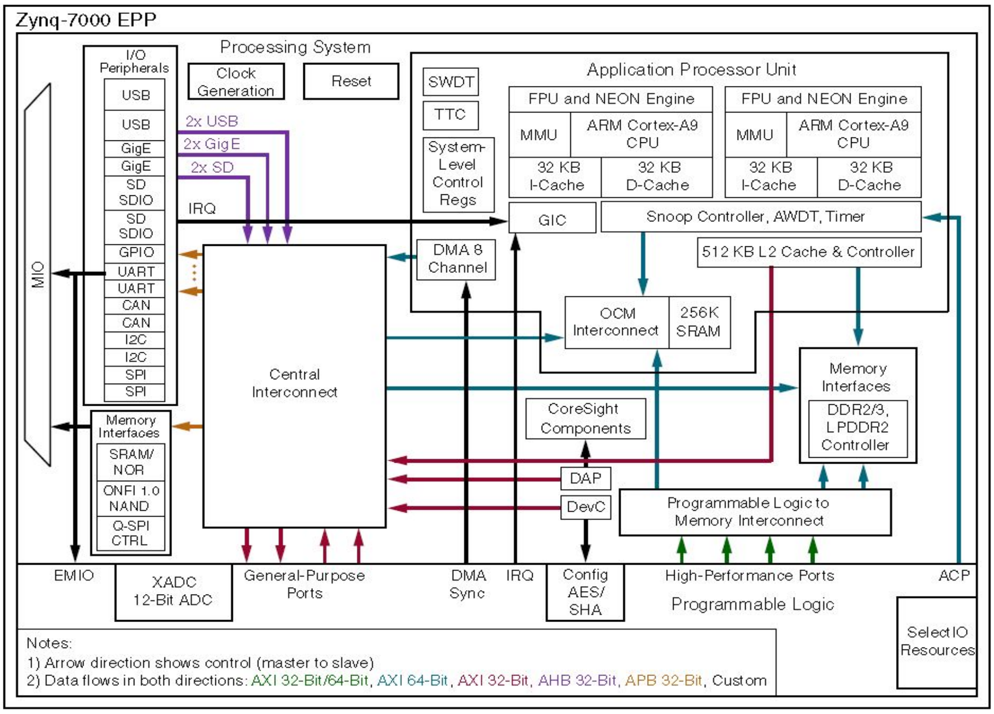


图 3.1.3 XC7Z020 EPP 芯片的总体框图

3.1.4 PS 时钟配置

Zing SOM2 核心模块中的 EPP 芯片通过外部的 X1 晶振提供 33.333MHz 的时钟输入。其原理图如图 3.1.4 所示，

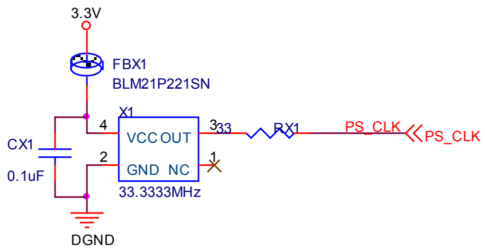


图 3.1.4 PS 系统时钟

PS 系统时钟的管脚分配如表 3.1.2 所示。

表 3.1.2 PS 时钟源管脚定义

PS 时钟源	信号名称	XC7Z020 管脚名称
X1	PS_CLK	E7

时钟接入后需要通过 PLL 锁相环进行时钟的再分配，以满足不同模块的时钟供给。具体时钟分配如图 3.1.5 所示，详细信息可参考手册 ug585-Zynq-7000-TRM（download）。

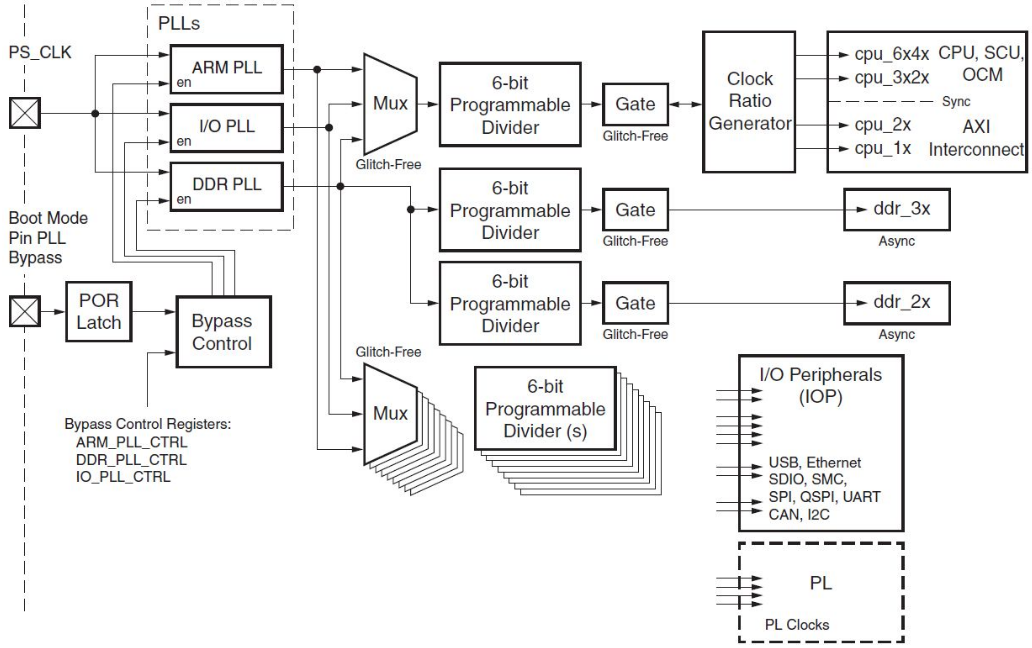


图 3.1.5 PS 系统时钟分配图

3.1.5 DDR3 内存颗粒

DDR3 是一种内存规格。它属于 SDRAM 家族的内存产品，提供了相较于 DDR2 SDRAM 更高的运行效能与更低的电压，是 DDR2 SDRAM（四倍资料率同步动态随机存取内存）的后继者（增加至八倍），也是现时流行的内存产品。

Zing 开发板使用了型号为 MT41J128M16JT 的 DDR3 存储系统。它由 2 片内存颗粒组成（共计 512MB），总线宽度为 32bit。DDR3SDRAM 的最高运行速度可达 533MHz。该存储系统直接连接到了 XC7Z020 EPP 处理系统（PS）的 BANK 502 的存储器接口上。

该 DDR3SDRAM 的具体配置如表 3.1.3 所示。

表 3.1.3 DDR3SDRAM 的具体配置

芯片类型	容量	配置	厂家
MT41J128M16JT	256MB	128M x 16bit	Micrel

DDR3 的具体技术参数描述见表表 3.1.4。

表 3.1.4 DRAM 的具体技术参数

参数	数值
存储类型	DDR3
DRAM 总线宽度	32 bit
运行频率	533 MHz
单颗颗粒的总线宽度	16 bits
单颗存储容量	1024 bits
速度等级	DDR3_1066

DDR3 SDRAM 的原理图如图 3.1.6 所示。

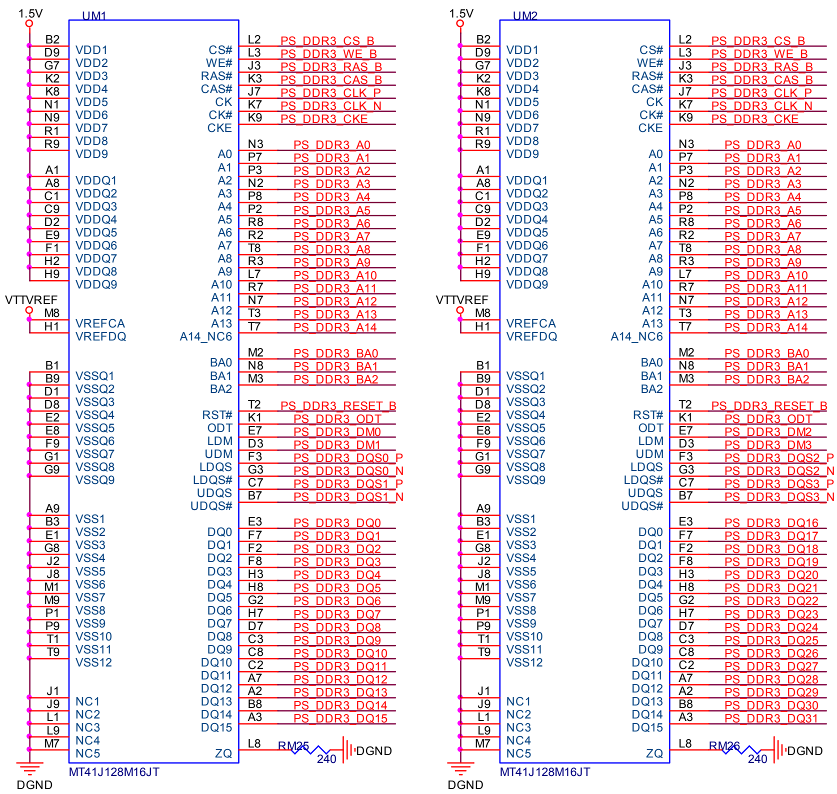


图 3.1.6 DDR3 SDRAM 原理图

DDR3 SDRAM 的管脚分配信息见表 3.1.5。

表 3.1.5 DDR3 SDRAM 管脚分配

XC7Z020 管脚	信号名称	DDR3 管脚名称	参考标示
C3	PS_DDR3_DQ0	DQ0	UM1
B3	PS_DDR3_DQ1	DQ1	UM1

A2	PS_DDR3_DQ2	DQ2	UM1
A4	PS_DDR3_DQ3	DQ3	UM1
D3	PS_DDR3_DQ4	DQ4	UM1
D1	PS_DDR3_DQ5	DQ5	UM1
C1	PS_DDR3_DQ6	DQ6	UM1
E1	PS_DDR3_DQ7	DQ7	UM1
E2	PS_DDR3_DQ8	DQ8	UM1
E3	PS_DDR3_DQ9	DQ9	UM1
G3	PS_DDR3_DQ10	DQ10	UM1
H3	PS_DDR3_DQ11	DQ11	UM1
J3	PS_DDR3_DQ12	DQ12	UM1
H2	PS_DDR3_DQ13	DQ13	UM1
H1	PS_DDR3_DQ14	DQ14	UM1
J1	PS_DDR3_DQ15	DQ15	UM1
P1	PS_DDR3_DQ16	DQ16	UM2
P3	PS_DDR3_DQ17	DQ17	UM2
R3	PS_DDR3_DQ18	DQ18	UM2
R1	PS_DDR3_DQ19	DQ19	UM2
T4	PS_DDR3_DQ20	DQ20	UM2
U4	PS_DDR3_DQ21	DQ21	UM2
U2	PS_DDR3_DQ22	DQ22	UM2
U3	PS_DDR3_DQ23	DQ23	UM2
V1	PS_DDR3_DQ24	DQ24	UM2
Y3	PS_DDR3_DQ25	DQ25	UM2
W1	PS_DDR3_DQ26	DQ26	UM2
Y4	PS_DDR3_DQ27	DQ27	UM2
Y2	PS_DDR3_DQ28	DQ28	UM2
W3	PS_DDR3_DQ29	DQ29	UM2
V2	PS_DDR3_DQ30	DQ30	UM2
V3	PS_DDR3_DQ31	DQ31	UM2
A1	PS_DDR3_DM0	DM0	UM1
C2	PS_DDR3_DQS0_P	DQS0_P	UM1
B2	PS_DDR3_DQS0_N	DQS0_N	UM1
F1	PS_DDR3_DM1	DM1	UM1
G2	PS_DDR3_DQS1_P	DQS1_P	UM1
F2	PS_DDR3_DQS1_N	DQS1_N	UM1
T1	PS_DDR3_DM2	DM2	UM2
R2	PS_DDR3_DQS2_P	DQS2_P	UM2
T2	PS_DDR3_DQS2_N	DQS2_N	UM2
Y1	PS_DDR3_DM3	DM3	UM2
W5	PS_DDR3_DQS3_P	DQS3_P	UM2
W4	PS_DDR3_DQS3_N	DQS3_N	UM2

N2	PS_DDR3_A0	A0	UM1，UM2
K2	PS_DDR3_A1	A1	UM1，UM2
M3	PS_DDR3_A2	A2	UM1，UM2
K3	PS_DDR3_A3	A3	UM1，UM2
M4	PS_DDR3_A4	A4	UM1，UM2
L1	PS_DDR3_A5	A5	UM1，UM2
L4	PS_DDR3_A6	A6	UM1，UM2
K4	PS_DDR3_A7	A7	UM1，UM2
K1	PS_DDR3_A8	A8	UM1，UM2
J4	PS_DDR3_A9	A9	UM1，UM2
F5	PS_DDR3_A10	A10	UM1，UM2
G4	PS_DDR3_A11	A11	UM1，UM2
E4	PS_DDR3_A12	A12	UM1，UM2
D4	PS_DDR3_A13	A13	UM1，UM2
F4	PS_DDR3_A14	A14	UM1，UM2
L5	PS_DDR3_BA0	BA0	UM1，UM2
R4	PS_DDR3_BA1	BA1	UM1，UM2
J5	PS_DDR3_BA2	BA2	UM1，UM2
L2	PS_DDR3_CLK_P	CK	UM1，UM2
M2	PS_DDR3_CLK_N	CK_B	UM1，UM2
L5	PS_DDR3_CKE	CKE	UM1，UM2
M5	PS_DDR3_WE_B	WE_B	UM1，UM2
P5	PS_DDR3_CAS_B	CAS_B	UM1，UM2
P4	PS_DDR3_RAS_B	RAS_B	UM1，UM2
B4	PS_DDR3_RESET_B	RESET_B	UM1，UM2
N1	PS_DDR3_CS_B	CS_B	UM1，UM2
N5	PS_DDR3_ODT	ODT	UM1，UM2
G5	PS_VRN		
H5	PS_VRP		
	VTTVREF_PS		
	VTTVREF_PS		

3.1.6 Flash 设备

ZingSK2 套件共有 2 种 flash 设备，分别是 NAND_FLASH、TF 卡。TF 卡设备的详细介绍将在 ZingSK2 部分的 SDIO 连接器部分介绍。这里只介绍 NAND_FLASH。

NAND_FLASH 可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。

这两种 Flash 的具体型号和相关参数见表 3.1.6。

表 3.1.6 Flash 的型号和参数

Flash 类型	芯片型号	容量
NAND Flash	MT29F4G08ABADAWP	4Gb

NAND_FLASH 共用了 zynq 芯片的 MIO 引脚。图 3.1.7 为 NAND_FLASH 的原理图。

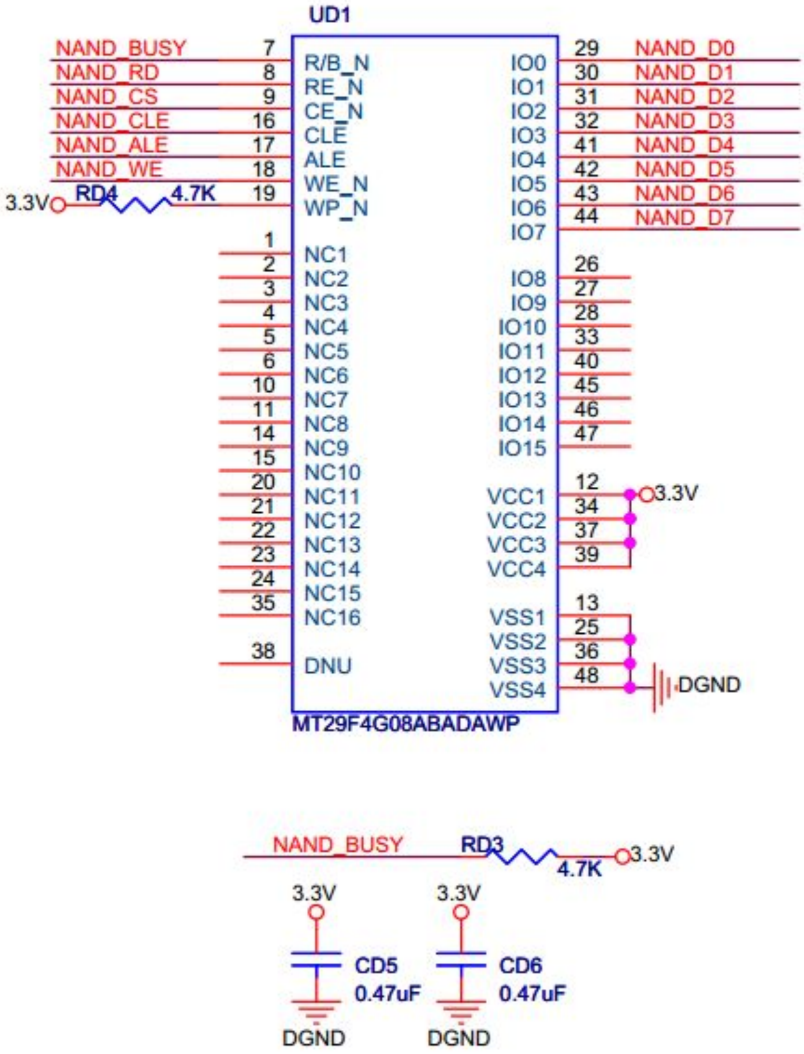


图 3.1.7 NAND_FLASH 的原理图

有关 NAND_FLASH 的信号分配信息见表 3.1.6。

表 3.1.6 NAND_FLASH 管脚分配

信号名称	XC7Z020 管脚	Zing SK2 连接器管脚	IO 电压
NAND_BUSY	C5/MIO14	-	3.3V
NAND_CS	E6/MIO0	-	3.3V
NAND_ALE	B8/MIO2	-	3.3V
NAND_WE	D6/ MIO3	184	3.3V
NAND_D0	A6/MIO5	188	3.3V
NAND_D1	A5/MIO6	190	3.3V
NAND_D2	B7/ MIO4	186	3.3V
NAND_D3	E8/ MIO13	-	3.3V

NAND_D4	B5/ MIO9	-	3.3V
NAND_D5	E9/ MIO10	-	3.3V
NAND_D6	C6/ MIO11	-	3.3V
NAND_D7	D9/ MIO12	-	3.3V
NAND_RD	CD5/ MIO8	182	3.3V
NAND_CLE	D8/ MIO7	-	3.3V

3.1.7 USB2.0 ULPI 收发器

Zing 开发板使用的 USB2.0 收发器是一个高速的物理层支持 UTMI+低引脚接口（ULPI）的标准接口。该 ULPI 标准定义了 USB 控制器 IP 和 PHY 设备（驱动 USB 物理总线）之间的接口。ULPI 标准的使用，减少了 USB 控制器 IP 和 PHY 设备之间的接口引脚数。

USB3320C-EZK 收发器的接口是通过存在于 XC7Z020 EPP 处理器系统中的 IP 来实现的。该收发器由一个 24MHz 的晶振提供时钟，其原理图如图 3.1.8 所示，

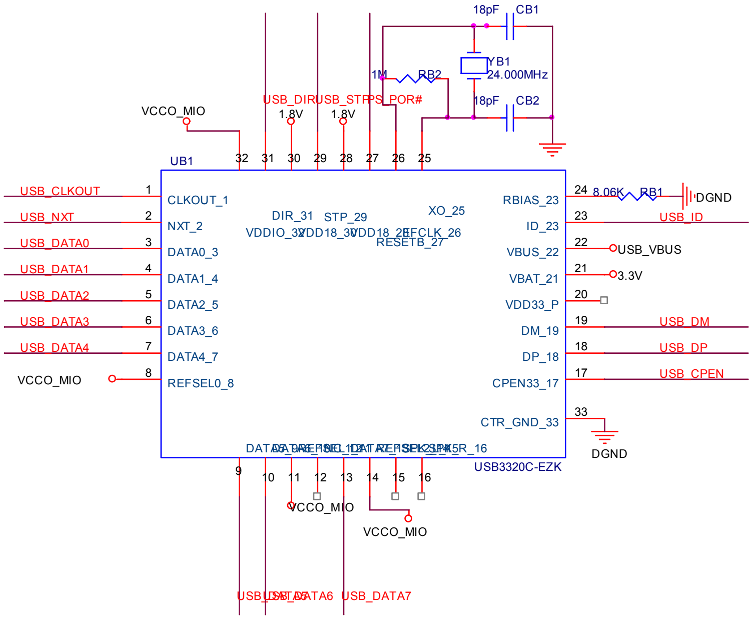


图 3.1.8 USB3320C 收发器原理图

该 USB 的管脚分配如表 3.1.7 所示。

表 3.1.7USB 管脚分配

XC7Z020			信号名称	USB3320 管脚
管脚名称	BANK	管脚号		
PS_MIO36	501	A11	USB_CLKOUT	1
PS_MIO31	501	E16	USB_NXT	2
PS_MIO32	501	A14	USB_DATA0	3
PS_MIO33	501	D15	USB_DATA1	4
PS_MIO34	501	A12	USB_DATA2	5
PS_MIO35	501	F12	USB_DATA3	6

PS_MIO28	501	C16	USB_DATA4	7
PS_MIO37	501	A10	USB_DATA5	9
PS_MIO38	501	E16	USB_DATA6	10
PS_MIO39	501	C18	USB_DATA7	13
PS_MIO30	501	C15	USB_STP	29
PS_MIO29	501	C13	USB_DIR	31

USB 连接器的管脚功能如表 3.1.8 所示。

表 3.1.8 USB 连接器管脚功能

USB 连接器		信号名称	描述	USB3320 管脚
管脚	管脚名称			
1	VBUS	USB_VBUS_SEL	来自主机的+5V 电压	22
2	D_N	USB_D_N	双向差分串行数据的 N 端	19
3	D_P	USB_D_P	双向差分串行数据的 P 端	18
5	GND	GND	信号地	33

该 USB 设备在是使用时需要对其进行跳线设置，以满足用户不同的开发要求，其设备模式的选择见 3.2 ZingSk2 部分 USB2.0 设备模式。

3.1.8 10/100/1000 MHz 的三速以太网口

Zing 开发板采用 Marvell Alaska 的 PHY 装置（88E1116R），它支持 10 MB/ s，100 Mb / s 或 1000 Mb / s 的以太网通讯，通过 RGMII 接口模式连接到了 EPP 上。YE1 为 88E1111 PHY 芯片提供了一个25MHz 的时钟源。图 3.1.9 为以太网口的原理图。

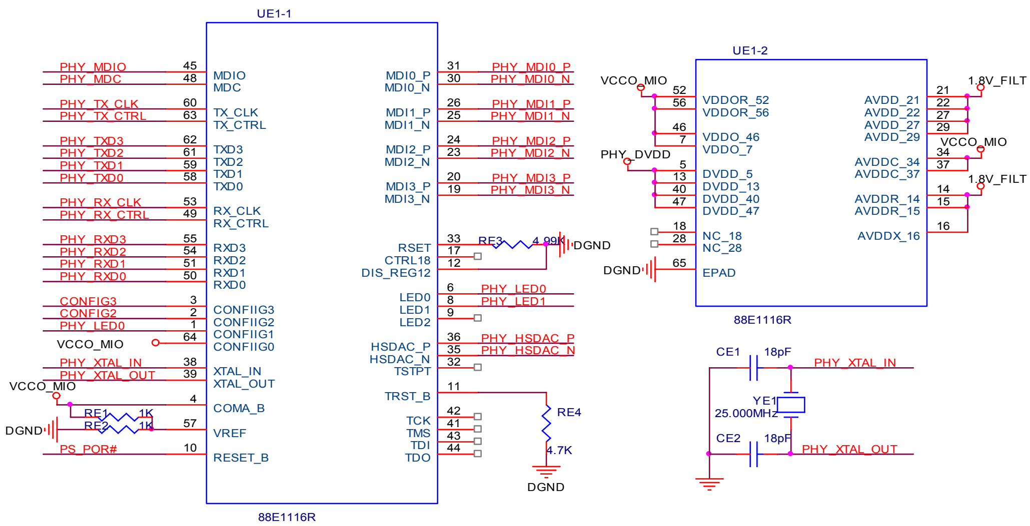


图 3.1.9 以太网口原理图

三速以太网口的管脚分配如表 3.1.9 所示。

表 3.1.9 以太网管脚分配

XC7Z020 EPP	信号名称	M88E1116R PHY

管脚名称	BANK	管脚号		管脚号	管脚名称
PS_MIO53	501	C11	PHY_MDIO	45	MDIO
PS_MIO52	501	C10	PHY_MDC	48	MDC
PS_MIO16	501	A19	PHY_TX_CLK	60	TX_CLK
PS_MIO21	501	F14	PHY_TX_CTRL	63	TX_CTRL
PS_MIO20	501	A17	PHY_TXD3	62	TXD3
PS_MIO19	501	D10	PHY_TXD2	61	TXD2
PS_MIO18	501	B18	PHY_TXD1	59	TXD1
PS_MIO17	501	E14	PHY_TXD0	58	TXD0
PS_MIO22	501	B17	PHY_RX_CLK	53	RX_CLK
PS_MIO27	501	D13	PHY_RX_CTRL	49	RX_CTRL
PS_MIO26	501	A15	PHY_RXD3	55	RXD3
PS_MIO25	501	F15	PHY_RXD2	54	RXD2
PS_MIO24	501	A16	PHY_RXD1	51	RXD1
PS_MIO23	501	D11	PHY_RXD0	50	RXD0

其中 MIO52 和 MIO53 可以看做是 MDIO 或者 I2C 总线去使用。

3.1.9SODIMM 连接器

Zing SK2 通过 200pin 的 DDR2-SODIMM（1.8V 供电）连接器与 ZingSk2 底板连接。实物图如图 3.1.10 所示，

图 3.1.10 SODIMM 连接器实物图

表 3.1.10 列举了不同高度的连接器类型。

表 3.1.11 连接器类型

高度	类型	描述	在模块下的最大高度
4.0 mm	Tyco292406	DDR2-SODIMM,1.8V	0 mm
5.2 mm	FCI10033853	DDR2-SODIMM,1.8V	1 mm
6.5 mm	Tyco1746530	DDR2-SODIMM,1.8V	2 mm
8.0 mm	Tyco1747407	DDR2-SODIMM,1.8V	4 mm

DDR2-SODIMM 连接器的详细管脚分配见表 3.1.11。

表 3.1.11 DDR2-SODIMM 管脚分配

FPGA Pin	Signal	Connector Pin		Signal	FPGA Pin
-	VCC_IN	1	2	DGND	
-	VCC_IN	3	4	B34_MC_P0	U18
-	VCC_IN	5	6	B34_MC_N0	U19
-	VCC_IN	7	8	DGND	
-	VCC_IN	9	10	B34_SC_P0	U14
-	VCC_IN	11	12	B34_SC_N0	U15
-	PWR_EN	13	14	DGND	
-	DGND	15	16	B34_IO_P8	V12
W18	B34_IO_P0	17	18	B34_IO_N8	W13
W19	B34_IO_N0	19	20	DGND	
	DGND	21	22	B34_IO_P9	U13
V20	B34_IO_P1	23	24	B34_IO_N9	V13
W20	B34_IO_N1	25	26	DGND	
	DGND	27	28	B34_IO_P10	V15
T20	B34_IO_P2	29	30	B34_IO_N10	W15
U20	B34_IO_N2	31	32	DGND	
	DGND	33	34	B34_IO_P11	V16
T11	B34_IO_P3	35	36	B34_IO_N11	W16
T10	B34_IO_N3	37	38	DGND	
	DGND	39	40	PWR_GOOD	
	1.35V	41	42	1.0V	
N18	B34_MC_P1	43	44	B34_IO_P12	T12
P19	B34_MC_N1	45	46	B34_IO_N12	U12
	DGND	47	48	B34_IO_P13	T14
N20	B34_SC_P1	49	50	B34_IO_N13	T15
P20	B34_SC_N1	51	52	DGND	
	VCCO_B34	53	54	B34_IO_P14	V17
W14	B34_IO_P4	55	56	B34_IO_N14	V18
Y14	B34_IO_N4	57	58	B34_IO_P15	T17
Y16	B34_IO_P5	59	60	B34_IO_N15	R18
Y17	B34_IO_N5	61	62	VCCO_B34	
	DGND	63	64	B34_IO_P16	T16
Y18	B34_IO_P6	65	66	B34_IO_N16	U17
Y19	B34_IO_N6	67	68	B34_IO_P17	N17
P14	B34_IO_P7	69	70	B34_IO_N17	P18
R14	B34_IO_N7	71	72	DGND	
	VCCO_B34	73	74	B34_IO_P18	R16
L19	B35_IO_P0	75	76	B34_IO_N18	R17
L20	B35_IO_N0	77	78	B34_IO_P19	P15

N15	B35_IO_P1	79	80	B34_IO_N19	P16
N16	B35_IO_N1	81	82	VCCO_B35	
	DGND	83	84	B35_IO_P10	M14
K17	B35_MC_P0	85	86	B35_IO_N10	M15
K18	B35_MC_N0	87	88	DGND	
	1.8V	89	90	B35_IO_P11	K14
M19	B35_IO_P2	91	92	B35_IO_N11	J14
M20	B35_IO_N2	93	94	1.8V	
	DGND	95	96	B35_IO_P12	H15
M17	B35_IO_P3	97	98	B35_IO_N12	G15
M18	B35_IO_N3	99	100	DGND	
	1.8V	101	102	B35_IO_P13	L14
L16	B35_SC_P0	103	104	B35_IO_N13	L15
L17	B35_SC_N0	105	106	1.8V	
	DGND	107	108	B35_IO_P14	K16
J20	B35_IO_P4	109	110	B35_IO_N14	J16
H20	B35_IO_N4	111	112	B35_MC_P1	H16
G17	B35_IO_P5	113	114	B35_MC_N1	H17
G18	B35_IO_N5	115	116	DGND	
	VCCO_B35	117	118	B35_IO_P15	F19
K19	B35_IO_P6	119	120	B35_IO_N15	F20
J19	B35_IO_N6	121	122	B35_IO_P16	E18
G19	B35_IO_P7	123	124	B35_IO_N16	E19
G20	B35_IO_N7	125	126	VCCO_B35	
	DGND	127	128	B35_SC_P1	J18
C20	B35_IO_P8	129	130	B35_SC_N1	H18
B20	B35_IO_N8	131	132	B35_IO_P17	F16
B19	B35_IO_P9	133	134	B35_IO_N17	F17
A20	B35_IO_N9	135	136	DGND	
	VCCO_MIO	137	138	B35_IO_P18	D19
	IO_MIO42	139	140	B35_IO_N18	D20
	IO_MIO40	141	142	B35_IO_P19	E17
	IO_MIO50	143	144	B35_IO_N19	D18
	IO_MIO44	145	146	VCCO_MIO	
	DGND	147	148	IO_MIO49	
	IO_MIO51	149	150	IO_MIO48	
	IO_MIO47	151	152	IO_MIO46	
	IO_MIO45	153	154	IO_MIO41	
	IO_MIO43	155	156	DGND	
	DGND	157	158	JTAG_TCK	
	USB_DP	159	160	JTAG_TDI	
	USB_DM	161	162	JTAG_TMS	

	USB_VBUS	163	164	JTAG_TDO	
	USB_ID	165	166	USB_CPEN	
	DGND	167	168	XADC_VP	
	PHY_MDI3_N	169	170	XADC_VN	
	PHY_MDI3_P	171	172	DGND	
	PHY_LED0	173	174		
	PHY_LED1	175	176		
	PHY_MDI2_N	177	178		
	PHY_MDI2_P	179	180	DGND	
	1.8V_FILT	181	182	NAND_RD	
	PHY_MDI1_N	183	184	NAND_WE	
	PHY_MDI1_P	185	186	NAND_D2	
		187	188	NAND_D0	
		189	190	NAND_D1	
	PHY_MDI0_N	191	192	PS_SRST#	
	PHY_MDI0_P	193	194	FPGA_DONE	
	DGND	195	196	PS_POR#	
	3.3V	197	198		
	3.3V	199	200	FPGA_VBATT	

3.1.10 用户 led

Zing SK2 核心模块上连接了 4 位的 led 灯。原理图如下图 3.1.11 所示，

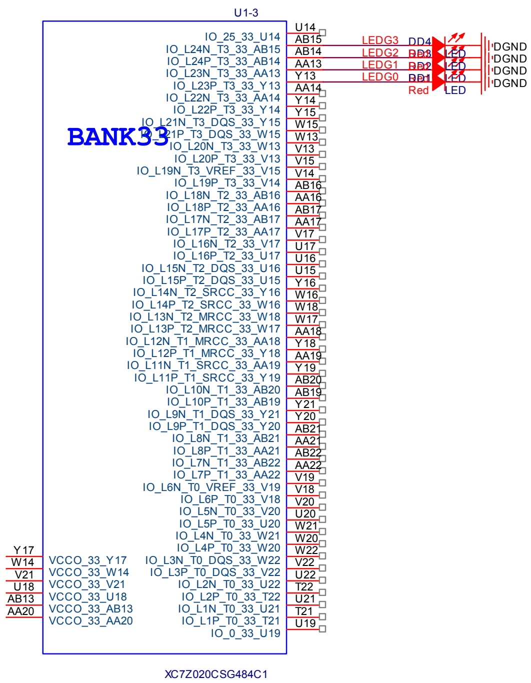


图 3.1.11 用户 led 原理图

表 3.1.12 为 4 位 led 灯的详细描述信息。

表 3.1.13 led 管脚分配

信号名称	XC7Z020 管脚	XC7Z020 管脚类型	有效值
LEDG0	R19	IO_L23P_T3_33	Activelow
LEDG1	T19	IO_L23N_T3_33	Activelow
LEDG2	G14	IO_L24P_T3_33	Activelow
LEDG3	J15	IO_L24N_T3_33	Activelow

3.2 Zing SK2 部分

3.2.1 系统时钟源

Zing SK2 部分为 XC7Z020 提供了单端 50MHz 的 PL 系统时钟源，3.3V 供电。该时钟源的原理图如图 3.2.1 所示，

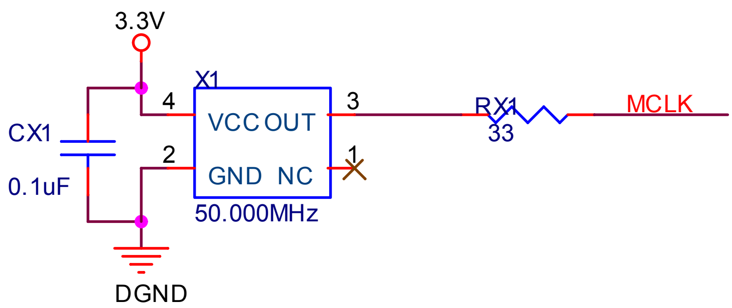


图 3.2.1 PL 系统时钟源

它的管脚分配如表 3.2.1 所示。

表 3.2.1 PL 系统时钟管脚分配

PL 系统时钟源	信号名称	XC7Z020 管脚
X1	B34_MC_P0	U18

3.2.2JTAG 接口

ARM 和 FPGA 的 JTAG 接口同时连接到一个 JTAG 链上。通过这个 JTAG 接口可以同时配置 ARM 处理器和 FPGA 逻辑。如图 3.2.2 所示。

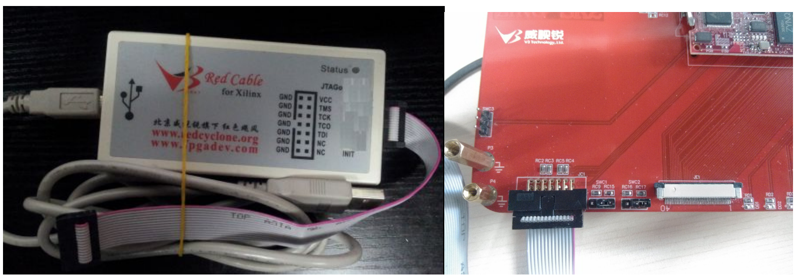


图 3.2.2 JTAG 及其接口

我们通过 xilinx 提供的开发工具下的 impact 可以扫描到这两个核，见图 3.2.3，

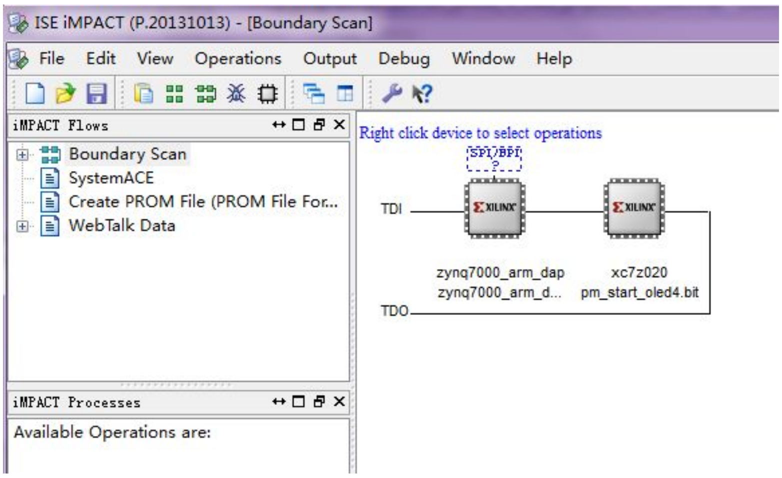


图 3.2.3 xilinx impact 工具扫描 ZYNQ 核

JTAG 的原理图如图 3.2.4 所示，

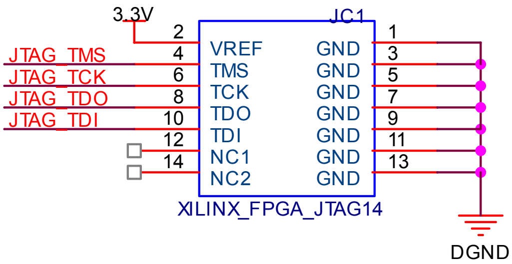


图 3.2.4 JTAG 接口原理图

具体的管脚分配见表 3.2.2.

表 3.2.2 JTAG 管脚分配

信号名称	SODIMM 连接器管脚	XC7Z020 管脚号
JTAG_TCK	158	F9
JTAG_TMS	162	J6
JTAG_TDI	160	G6
JTAG_TDO	164	F6

3.2.3SDIO 连接器

Zing SK2 中包括一个安全数字输入/输出（SDIO）接口，以提供用户逻辑访问通用的非易失性 SDIO 存储卡和外围设备。SDIO 信号经 TXS02612 电平转换器与 XC7Z020　的 PS 501BANK 信号相连，该 BANK 的 VCCMIO 设置为 1.8V。

SDIO 连接器的原理图如图 3.2.5 所示，

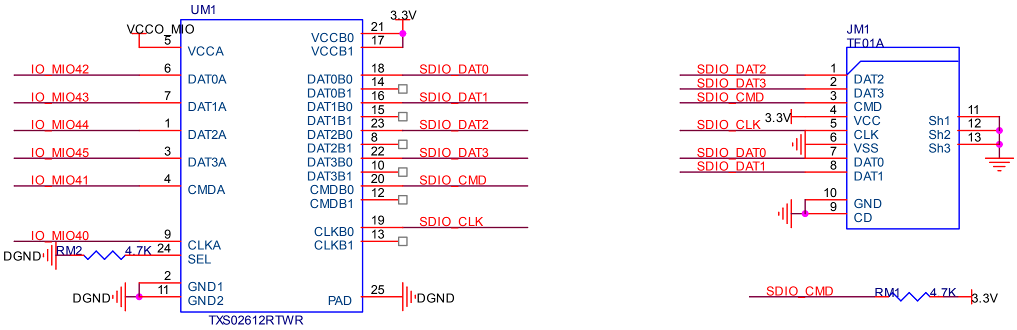


图 3.2.5 SDIO 连接器原理图

其中 SDIO 电平转换器的管脚分配列表如表 3.2.3 所示。

表 3.2.3 SDIO 电平转换器管脚分配

UM1 电平转换器信号名称	SODIMM 连接器管脚号	XC7Z020 管脚
IO_MIO40	141	D14
IO_MIO41	154	C17
IO_MIO42	139	E12
IO_MIO43	155	A9
IO_MIO44	145	F13
IO_MIO45	153	B15

电平转化器与 SDIO 接口的信号说明见表 3.2.4。

表 3.2.4 电平转化器与 SDIO 接口信号说明

信号名称	UM1 电平转换器		SDIO 连接器	
	管脚号	管脚名称	管脚号	管脚名称
SDIO_SDDET	N/A	N/A	9	CD
SDIO_CMD	4	CMDB0	3	CMD
SDIO_CLK	9	CLKB0	5	CLK
SDIO_DAT2	1	DAT2B0	1	DAT2
SDIO_DAT1	7	DAT1B0	8	DAT1
SDIO_DAT0	6	DAT0B0	7	DAT0
SDIO_CD_DAT3	3	DAT3B0	2	DAT3

3.2.4 USB_UART 接口

Zing SK2 中包含一个 Silicon Labs 公司的 CP2103GM USB-UART 桥接设备，它允许一台主机连接到一个 USB 端口。主机 PC 的 USB 电缆连接到 Zing SK2 中的 USB 端口上时，也就为 CP2103GM 提供了 5V 的供电电压。

CP2013GM TX 和 RX 引脚连接到了 XC7Z020 的 EPP PS IO 外设集中的 UART_0 IP 块上。XC7Z020 EPP 支持 USB-UART 桥接器使用两个信号引脚：发送（TX）和接收（RX）。

Silicon Labs 为主机 PC 提供了虚拟 COM 端口（VCP）驱动程序。这些驱动程序允许 CP2103GM USB-UART 桥接设备在通信应用软件（例如，TeraTerm 或超级终端）显示为一个 COM 端口。 VCP 设备驱

动程序必须在 PC 主机与 Zing 开发板板建立通信前进行安装。

CP2103GM 的原理图如图 3.2.7 所示。

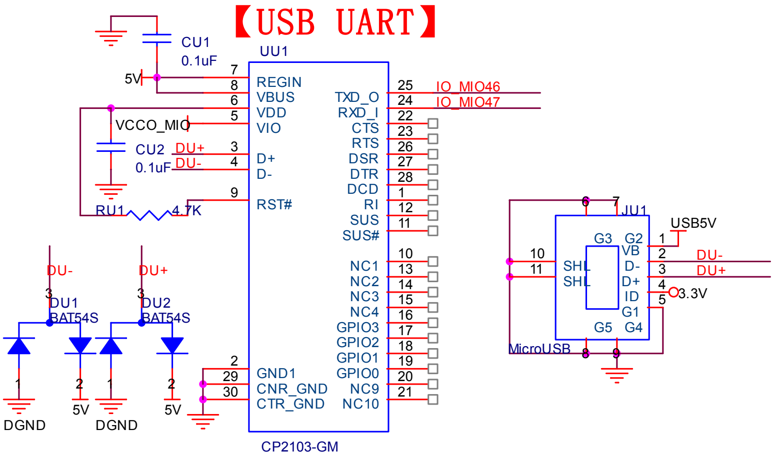


图 3.2.7 CP2103GM 原理图

USB_UART 接口的管脚列表如表 3.2.6 所示。

表 3.2.6 USB_UART 管脚分配

XC7Z020 EPP			UART 功能	信号名称	CP2103GM	
管脚名称	BANK	管脚号			管脚	UART 功能
PS_MIO46	501	D16	TX,数据输出	IO_MIO46	24	RXD，数据输入
PS_MIO47	501	B14	RX,数据输入	IO_MIO47	25	TXD，数据输出

3.2.5 rs232 接口

The Universal Asynchronous Receiver Transmitter (UART，通用异步接收发送)，要实现完整双向串行通信协议（RS-232 标准），UART 模型的底层是一个微处理器接口：两位发送数据缓冲、帧产生、奇偶校验生成、并行转串行转换；两位接收数据缓冲、奇偶校验、串行转并行转换。SIPEX 公司 SP3232ECA 芯片完成 FPGA I/O 电平到 RS232 电平的转换。

SP3232ECA 的原理图如图 3.2.7 所示。

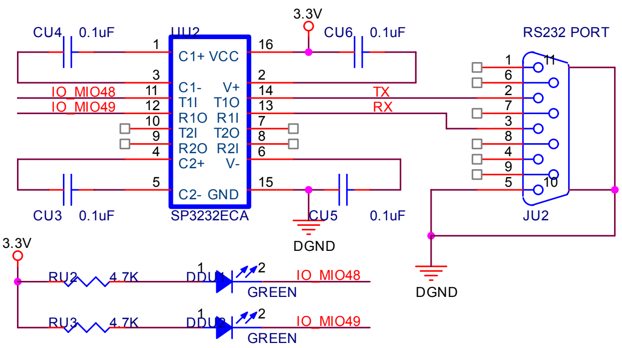


图 3.2.8 SP3232ECA 原理图

Rs232 接口的管脚列表如表 3.2.7 所示。

表 3.2.7 rs232 管脚分配

XC7Z020 EPP	Rs232 功能	信号名称	SP3232ECA

管脚名称	BANK	管脚号			管脚	rs232 功能
PS_MIO48	501	B12	TX,数据输出	RS232_RX	12	RXD，数据输入
PS_MIO49	501	C12	RX,数据输入	RS232_TX	11	TXD，数据输出

3.2.6 HDMI 接口

HDMI ，全称为高清晰度多媒体视频输出接口。Zing SK2 底板上使用了有 HDMI 接口。没有 HDMI 芯片，所以在 HDMI 数字视频/音频传输解决方案上，我们是通过 fpga 做这方面的处理。但是用了一个 4776 芯片作为防静电作用。

其原理图如图 3.2.8 所示。

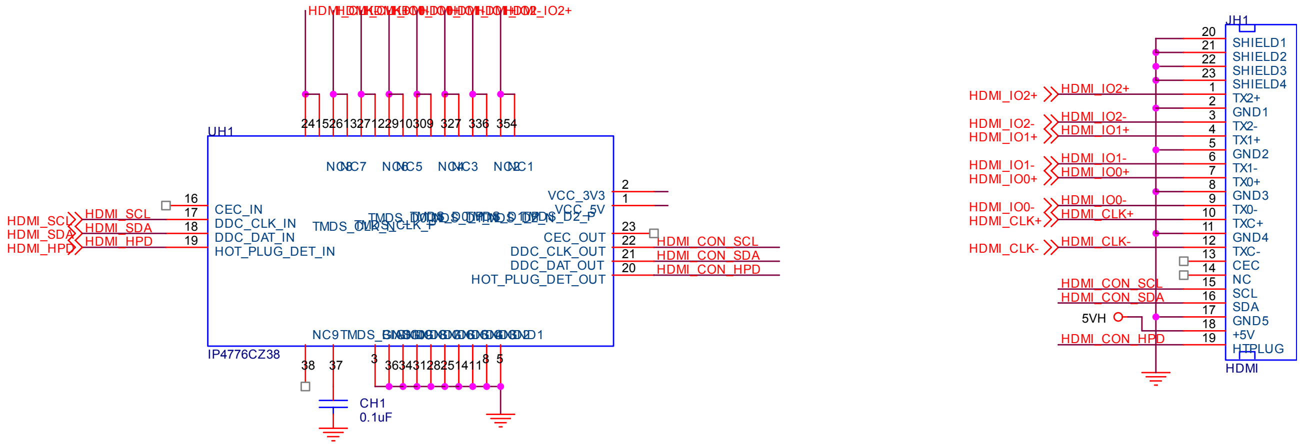


图 3.2.8 HDMI 接口原理图

3.2.7 用户 IO

Zing SK2 为用户提供了 LED 灯、拨码卡关、按键等用户 IO。其中，有 4 位 LED 灯（DD1-DD4），2 位用户按键（PD1-PD2），2 位用户拨码开关（SW1-SW2）。其原理图如图 3.2.9 所示。

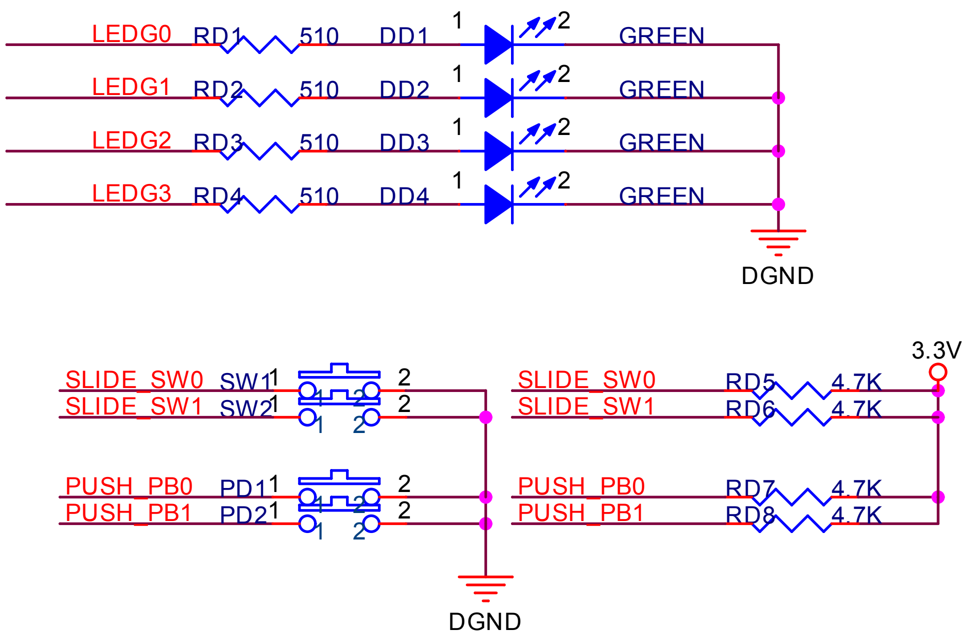


图 3.2.9 用户 IO 原理图

用户 IO 的管脚列表如表 3.2.8 所示。

表 3.2.8 用户 IO 管脚分配

用户 IO	IO 名称	信号名称	XC7Z020 管脚名称
LEDS	DD1	IO_0_34	R19
	DD2	IO_25_34	T19
	DD3	IO_0_35	G14
	DD4	IO_25_35	J15
按键	PD1	B34_IO_P8	V12
	PD2	B34_IO_N8	W13
拨码开关	SW1	B34_SC_N0	U15
	SW2	B34_MC_N0	U19

3.2.8 扩展接口

Zing SK2 底板上包含了两种扩展接口，分别是 PMOD 接口。

✧ **PMOD 接口**

Zing SK2 上有 2 个 DigilentPMOD 兼容插座。PMOD 接口是由 Digilent 开发的，用于低速 LPC 外设与主控制板之间，其外观如图 3.2.11 所示。

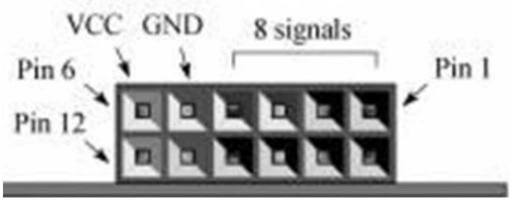


图 3.2.11 PMOD 兼容插座

PMOD 接口包括 12 个引脚，采用双排（2×6）排列，包括 8 个 I/O 信号引脚和 2 个电源引脚和 2 个地信号引脚，其原理图如图 3.2.12 所示。

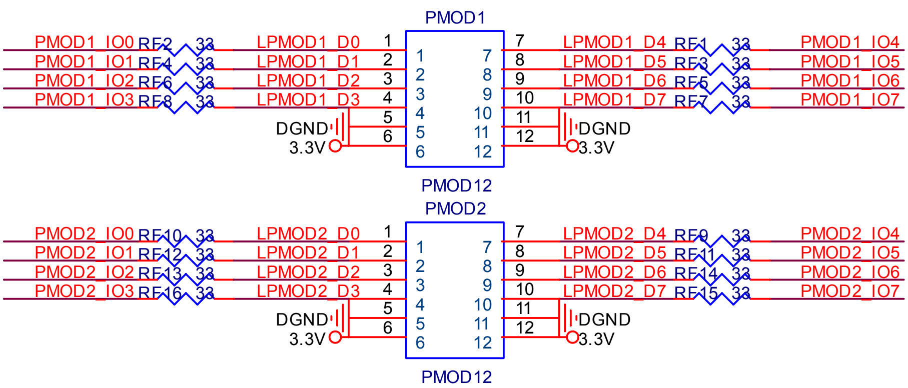


图 3.2.12 PMOD 接口原理图

Zing SK2 上一共有 2 个 PMOD 接口，其中 2 个 PMOD 接口（JD1、JD2、JD3、JD4）连接到 Zynq-7000 AP SoC 的 PL 部分的 Bank34（3.3V）。

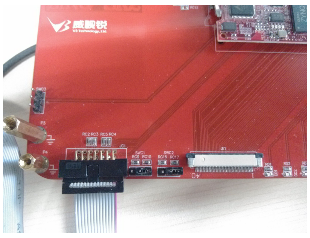
FPC 40PIN 软排线接口

可以接 lcd 显示屏

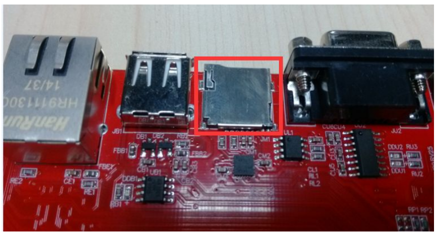
实物图如下图：

3. ZYNQ 调试与配置

在此章节主要介绍平台的使用方法，主要是 ZYNQ 的调试与配置。ZYNQ 支持 JTAG 调试模式和 NAND_FLASH 和 TF 卡启动模式。ZYNQ 使用独立的 JTAG 接口，下载电缆采用 redcable for xilinx。ZYNQ 的 JTAG 下载接口调试方式与普通 FPGA 相同。以下为 ZYNQ 的中配置接口图。



JTAG 接口配置



TF 卡配置

NAND_FLASH 配置

4. 1 下载电缆

FPGA 下载电缆是 redcable for xilinx。使用下载电缆可以对 FPGA 进行调试和 flash 固化。下载电缆一端通过 USB-A 电缆连接到 PC，另一端通过 14pin jtag 接口连接到板卡的下载接口。如图 4.1.1 为 JTAG 下载电缆和 JTAG 接口实物图。

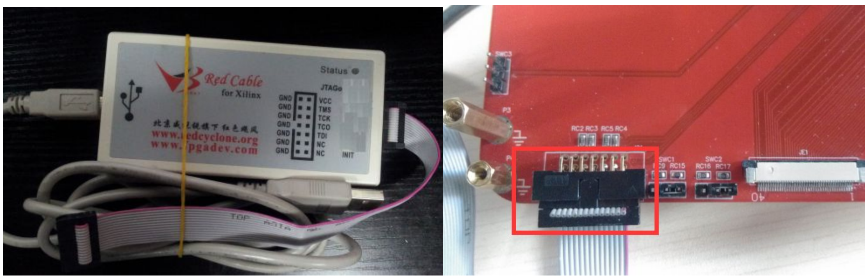


图 4.1.1 JTAG 下载电缆和 JTAG 接口实物图

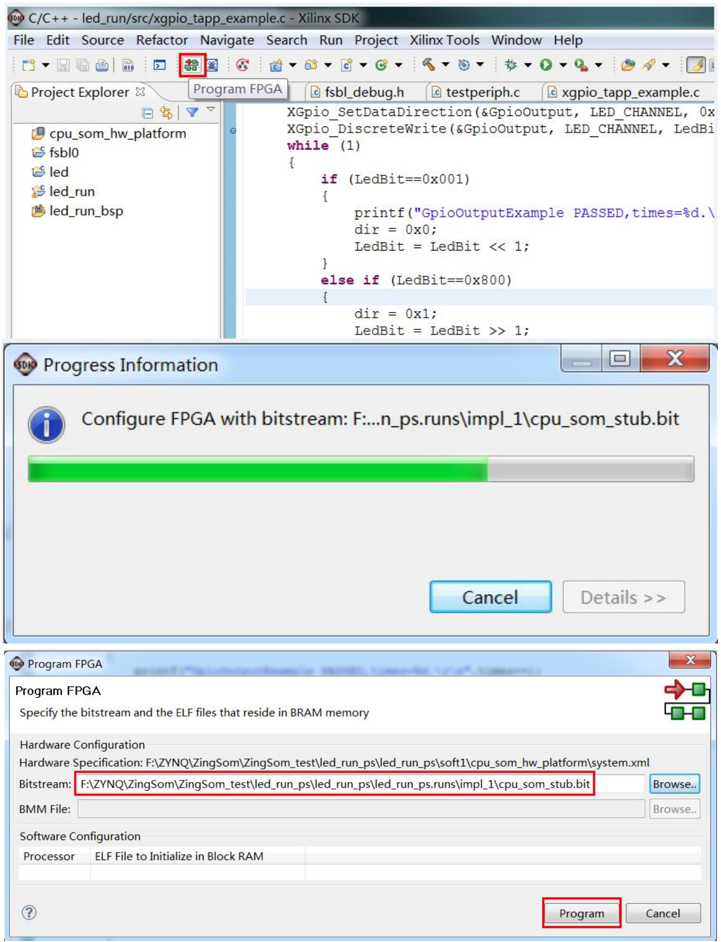
下面主要介绍如何通过 JTAG 接口配置 ZYNQ 芯片的方法。

第一步，设置启动方式跳线和给板卡供电，

图 4.1.2 JTAG 跳线配置和板卡上电

第二步，用 SDK 软件打开 ZYNQ 的软件工程后，确保通过 JTAG 接口可以扫描到两个核，可参看 Zing SK2 部分 JTAG 部分，然后配置 FPGA 的 bit 文件，如图 4.1.3 所示。

图 4.1.3 配置 FPGA bit 文件



当 bit 文件配置完毕后，FPGA_DONE 信号会被拉高，DC1 灯熄灭。

第三步，下载 ARM 应用程序，如图 4.1.4 所示。

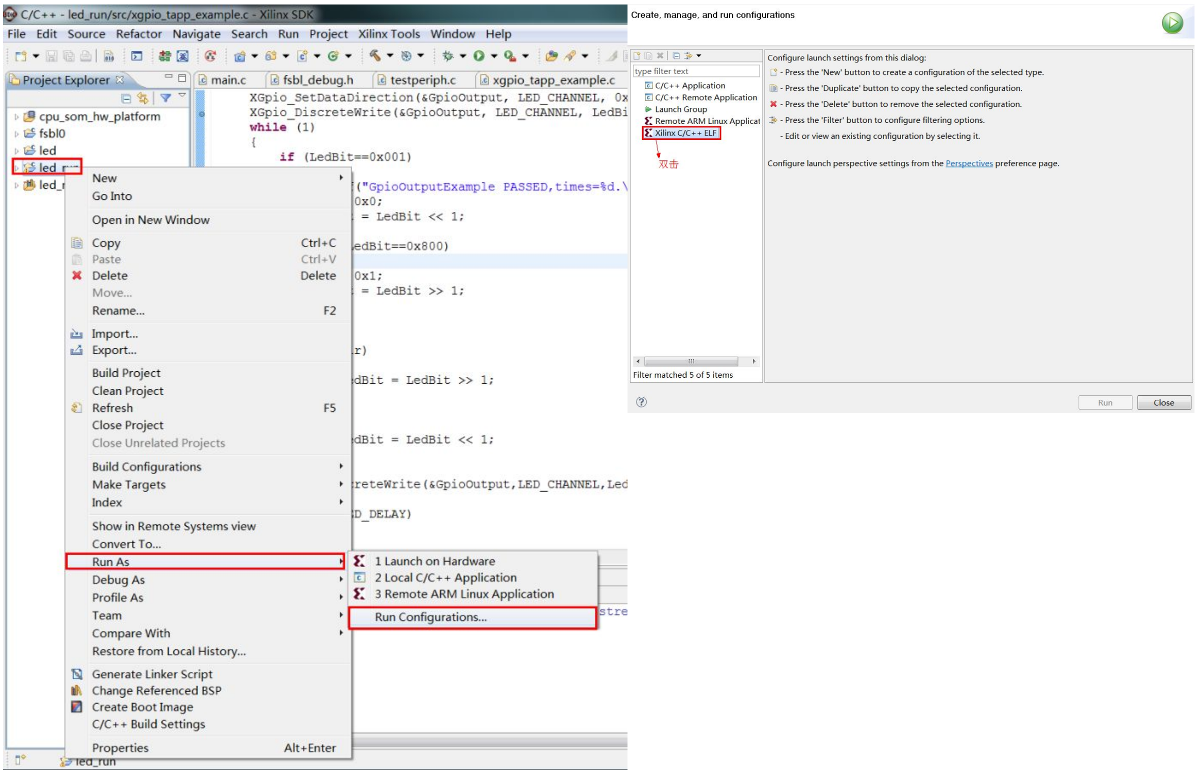


图 4.1.4 下载 ARM 应用程序

第四步，ARM 应用程序的运行和现象，如图 4.1.5 所示。

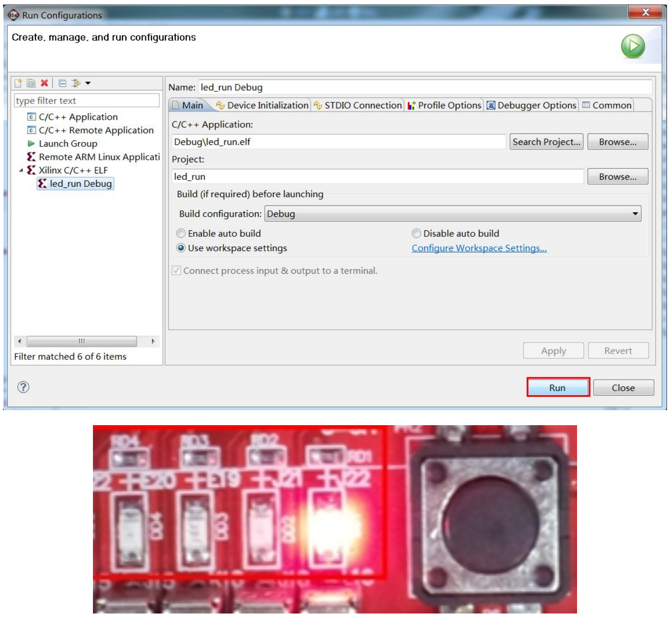
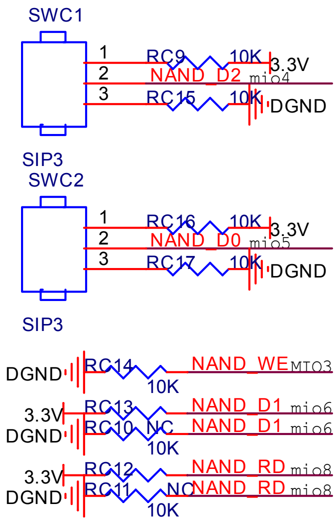


图 4.1.5 ARM 程序运行和实验现象

4.2 ZYNQ 启动方式选择

ZYNQ 支持启动镜像从 NAND_FLASH、TF 卡启动，通过 MIO3~MIO6 选择，在平台上通过

SWC1~SWC22 个跳线选择。默认启动模式 TF 卡，其它启动模式可参考图 4.2.1 所示。



	MIO[6]	MIO[5]	MIO[4]	MIO[3]
JTAG		0	0	0
NAND		0	1	0
SD		1	1	0

PLL Used 0
PLL Bypassed 1
MIO Bank1 Voltage
MIO8 0 2.5 V, 3.3 V
MIO8 1 1.8 V

图 4.2.1 ZYNQ 镜像启动模式选择

实物图可参考图 4.2.2。

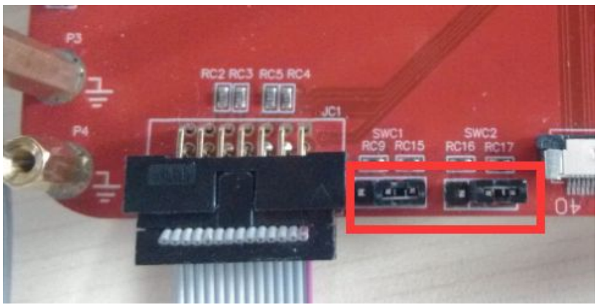


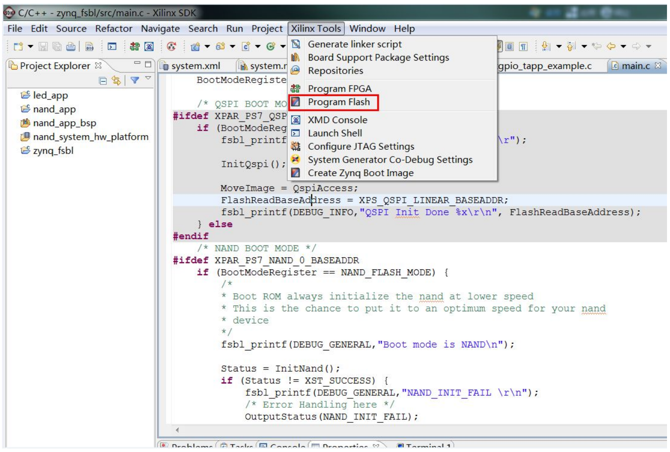
图 4.2.2 启动模式配置实物图

4.2.1 NAND_FLASH 的固化与启动

第一步，设置启动方式跳线和给板卡供电，如图 4.2.3 所示。

图 4.2.3 NAND_FLASH 的跳线设置

第二步，选择要固化的 FLASH 类型和相关配置文件，如图 4.2.7 所示。



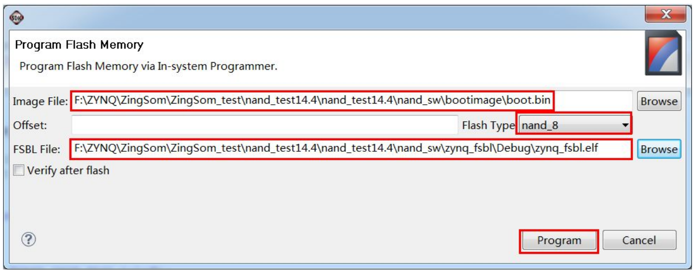


图 4.2.7 FLASH 类型和相关配置文件

第三步，FLASH 设备的固化过程和信息提示，如图 4.2.8 所示。

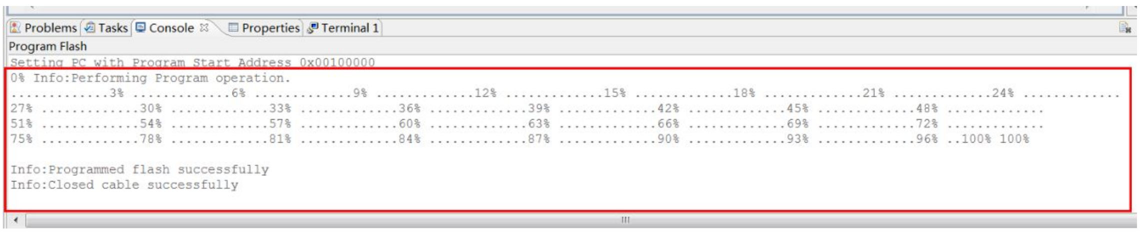


图 4.2.8 FLASH 固化过程

第四步，固化完毕后，关闭电源，选择镜像启动模式，设置跳线，打开电源，FLASH 成功。所示。

4.2.3 TF 卡的固化与启动

TF 卡作为启动设备，它的固化和启动比较简单。主要是用户需要将启动镜像拷贝到 TF 卡内，然后将 TF 插入 zingsom 开发板 TF 卡插槽中，选择 TF 卡启动模式后，给板卡上电启动即可。

4. 保修条款

1．我公司承诺，对开发板产品提供自售出之日起三个月的免费保修服务。若用户在使用开发板产品期间，由于该产品的质量问题而出现故障，可在保修期内凭购买单据与销售商或我公司联系，我公司负责为您维修产品或更换新机。

2．为下列情况之一的产品，不实行免费保修：

超过保修服务期的；

无有效购买单据的；

进液、受潮或发霉；

由于购买后跌落、强烈振动和擅自改造、误操作等非产品质量原因引起的故障和损坏；

因为不可抗力造成损坏的。

3．我公司承诺，对开发板产品提供为期 1 年的 BBS 技术支持服务，终身维修服务。

4．我公司保留所有开发板中自主开发的相关的软、硬件技术资料的知识产权；用户仅能将它们作为教学、实验、科研使用，不得从事任何商业用途，也不能将它们在网络上散发，或者通过截取、修改等方式来篡改它们的著作权。

5．其它相关服务：为院校、企业提供嵌入式系统应用设计解决方案，提供最为专业、周到的嵌入式系统 ODM 服务，欢迎您与我们联系！

5. 威视锐专业定制服务

威视锐的定制服务包括产品设计服务和批量生产服务。

产品设计服务方面，威视锐在高性能信号处理产品设计和 FPGA 应用方面累积了多年经验，擅长基于 FPGA 与 DSP 系统平台的信号处理系统的定制与算法开发。威视锐设计过的成熟产品有，智能安防摄像机、高速数据采集卡、医疗图像分析仪、各种软件无线电系统、CPCI 工控板卡等，目前已经大量投入到了实际应用现场。威视锐提供的解决方案都是建立在这些成熟的架构上，包括模型产品、标准模块和开发平台，这样能够有效缩短客户产品向市场投放需要的时间，并降低在软硬件移植方面的风险，为客户确保产品开发的速度和成熟度。

批量生产服务方面，威视锐电子投资控股成立的“北京飑风深红科技有限公司”，定位于专业从事精密型 SMT 贴片加工和批量电子产品的 OEM 服务，同时为威视锐科技提供所有相关产品的配套服务。

威视锐是一个恪守品质和诚信的设计制造公司，我们已经跟很多公司合作过各种 OEM/ODM 项目，并保持多年的合作关系。对每一次合作，从产品构思到最后的量产，我们在整个过程中都会持续地与客户沟通、为客户设想、不断改善直到客户满意为止。合作双赢可能是一个长期的过程，我们 ODM 服务会促进这一理想的实现，为客户赢得更快的上市速度、更优的性能和更低的成本。

作为微软公司全球供货商，威视锐科技的产品遵循严格的设计规范和测试流程，产品出口到美国，日本和欧洲多个国家。依托于清华大学和中科院等科研机构，威视锐科技坚持不断创新，产品赢得中国移动、法国电信和华为技术等众多知名公司的认可。